

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(51) Internationale Patentklassifikation⁶ :

G06F 17/60

A1

(11) Internationale Veröffentlichungsnummer: WO 98/24039

(43) Internationales
Veröffentlichungsdatum:

4. Juni 1998 (04.06.98)

(21) Internationales Aktenzeichen:

PCT/DE97/02600

(22) Internationales Anmeldedatum: 7. November 1997 (07.11.97)

(30) Prioritätsdaten:

196 47 622.4

18. November 1996 (18.11.96) DE

(71) Anmelder (für alle Bestimmungsstaaten ausser US): SIEMENS
AKTIENGESELLSCHAFT [DE/DE]; Wittelsbacherplatz 2,
D-80333 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): WEVER, Utz [DE/DE];
Herzogstandstrasse 28, D-81539 München (DE). ZHENG,
Qinghua [DE/DE]; Sudetenstrasse 51, D-82024 Taufkirchen
(DE).(81) Bestimmungsstaaten: JP, KR, US, europäisches Patent (AT,
BE, CH, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE).

Veröffentlicht

Mit internationalem Recherchenbericht.

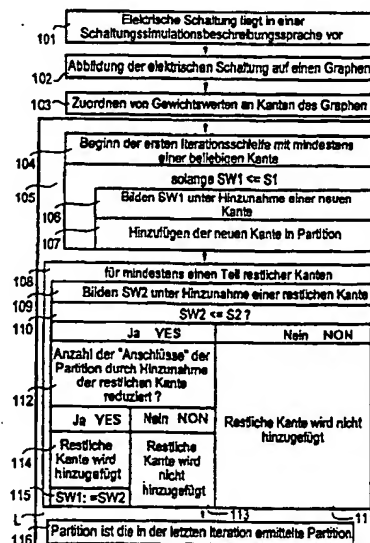
Vor Ablauf der für Änderungen der Ansprüche zugelassenen
Frist. Veröffentlichung wird wiederholt falls Änderungen
eintreffen.

(54) Title: COMPUTER ASSISTED METHOD FOR PARTITIONING AN ELECTRIC CIRCUIT

(54) Bezeichnung: RECHNERGESTÜTZTES VERFAHREN ZUR PARTITIONIERUNG EINER ELEKTRISCHEN SCHALTUNG

(57) Abstract

A partition is formed in an electric circuit by representing the electric circuit on a graph (102) and allocating weighting values to the edge of the graph (103). The weighting values describe the computational effort required to determine electric description variables for each element of the electric circuit represented by the edge. Verification occurs enabling determination of whether the edges grouped together according to prior iterative steps give a sum a weighting values for the edges by adding another edge whose value ranges between a first threshold value and a second threshold value. If this is the case, further verification is made as to whether the number of connections of elements located inside the partition is increased by elements outside the partition by adding new edges. If this is not the case the relevant edge is taken up by the partition.



101...ELECTRIC CIRCUIT AVAILABLE IN A CIRCUIT SIMULATION
DESCRIPTION LANGUAGE
102...REPRESENTATION OF ELECTRIC CIRCUIT ON A GRAPH
103...ALLOCATION OF WEIGHTING VALUES TO THE EDGES OF GRAPH
104...BEGINNING OF FIRST ITERATION CYCLE WITH AT LEAST ANY ONE EDGE
105...AS LONG AS SW1 <= S1
106...SW1 FORMED BY ADDING A NEW EDGE
107...ADDING THE NEW EDGE TO PARTITION
108...FOR AT LEAST ONE PART OF REMAINING EDGES
109...SW2 FORMED BY ADDING A REMAINING EDGE
110...SW2 <= S2?
111...REMAINING ADGE IS NOT ADDED
112...REDUCTION OF PARTITION "CONNECTIONS" BY ADDING REMAINING
EDGE?
113...REMAINING ADGE IS NOT ADDED
114...REMAINING ADGE IS ADDED
115...SW1 = SW2
116...PARTITION IS PARTITION DETERMINED IN THE LAST ITERATION

(57) Zusammenfassung

Eine Partition einer elektrischen Schaltung wird gebildet, indem die elektrische Schaltung auf einem Graphen abgebildet wird (102) und den Kanten des Graphen Gewichtswerte zugeordnet werden (103). Die Gewichtswerte beschreiben einen erforderlichen Rechenaufwand zur Ermittlung von elektrischen Beschreibungsgrößen für das jeweilige durch die Kante repräsentierte Element der elektrischen Schaltung. In iterativen Verfahren wird überprüft, ob ausgehend von vorausgegangenen Iterationsschritten, zusammen gruppierte Kanten, eine Summe der Gewichtswerte der Kanten durch Hinzufügen einer weiteren Kante, ein Summenwert zwischen einem ersten Schwellenwert und einem zweiten Schwellenwert liegt. Ist dies der Fall, so wird ferner überprüft, ob eine Anzahl von Anschlüssen der Elemente innerhalb der Partition mit Elementen außerhalb der Partition durch Hinzufügen neuer Kanten vergrößert wird. Ist dies nicht der Fall, so wird die jeweilige Kante in die Partition mit aufgenommen.

LEDIGLICH ZUR INFORMATION

Codes zur Identifizierung von PCT-Vertragsstaaten auf den Kopfbögen der Schriften, die internationale Anmeldungen gemäss dem PCT veröffentlichen.

AL	Albanien	ES	Spanien	LS	Lesotho	SI	Slowenien
AM	Armenien	FI	Finnland	LT	Litauen	SK	Slowakei
AT	Österreich	FR	Frankreich	LU	Luxemburg	SN	Senegal
AU	Australien	GA	Gabun	LV	Lettland	SZ	Swasiland
AZ	Aserbaidschan	GB	Vereinigtes Königreich	MC	Monaco	TD	Tschad
BA	Bosnien-Herzegowina	GE	Georgien	MD	Republik Moldau	TG	Togo
BB	Barbados	GH	Ghana	MG	Madagaskar	TJ	Tadschikistan
BE	Belgien	GN	Guinea	MK	Die ehemalige jugoslawische Republik Mazedonien	TM	Turkmenistan
BF	Burkina Faso	GR	Griechenland			TR	Türkei
BG	Bulgarien	HU	Ungarn	ML	Mali	TT	Trinidad und Tobago
BJ	Benin	IE	Irland	MN	Mongolei	UA	Ukraine
BR	Brasilien	IL	Israel	MR	Mauretanien	UG	Uganda
BY	Belarus	IS	Island	MW	Malawi	US	Vereinigte Staaten von Amerika
CA	Kanada	IT	Italien	MX	Mexiko		
CF	Zentralafrikanische Republik	JP	Japan	NE	Niger	UZ	Usbekistan
CG	Kongo	KE	Kenia	NL	Niederlande	VN	Vietnam
CH	Schweiz	KG	Kirgisistan	NO	Norwegen	YU	Jugoslawien
CI	Côte d'Ivoire	KP	Demokratische Volksrepublik Korea	NZ	Neuseeland	ZW	Zimbabwe
CM	Kamerun			PL	Polen		
CN	China	KR	Republik Korea	PT	Portugal		
CU	Kuba	KZ	Kasachstan	RO	Rumänien		
CZ	Tschechische Republik	LC	St. Lucia	RU	Russische Föderation		
DE	Deutschland	LI	Liechtenstein	SD	Sudan		
DK	Dänemark	LK	Sri Lanka	SE	Schweden		
EE	Estland	LR	Liberia	SG	Singapur		

Beschreibung

- 5 Rechnergestütztes Verfahren zur Partitionierung einer elektrischen Schaltung

Bei der Schaltungssimulation sehr großer Schaltungen, d.h. von Schaltungen mit einer sehr großen Anzahl von Elementen ist eine serielle Bearbeitung, d.h. Ermittlung der Schal-
10 tungsgrößen durch einen Rechner sehr zeitaufwendig. Selbst Vektorrechner, die in ihrem Betrieb sehr teuer sind, benötigen einen immensen Bedarf an Rechenkapazität und Zeit zur Ermittlung der elektrischen Beschreibungsgrößen für eine Schal-
15 tung, die einige 100.000 Transistoren aufweist.

Zur Vermeidung der seriellen Durchführung einer Schaltungssimulation kann aus diesem Grunde die elektrische Schaltung in mehrere Teile aufgeteilt werden, die dann jeweils von ver-
20 schiedenen Rechnern bzw. Prozessoren bearbeitet werden, was zu einer parallelen Durchführung der Schaltungssimulation führt.

Um jedoch eine möglichst gute Parallelisierbarkeit der Ermittlung der elektrischen Beschreibungsgrößen für die Elektroschaltung zu erreichen, ist es vorteilhaft, folgende zwei Kriterien bei der Partitionierung der elektrischen Schaltung in mehrere Teile zu beachten. Es ist von erheblicher Bedeutung, daß alle gebildeten Partitionen der elektrischen Schal-
30 tung möglichst gleich groß sind, um dadurch den durch die Parallelisierung erzielbaren Effekt zu verstärken. Ist beispielsweise eine Partition um Größenordnungen größer als die restlichen Partitionen, so ist die Bearbeitung der wesentlich größeren Partition wiederum sehr viel rechenaufwendiger als
35 die Bearbeitung der restlichen Partitionen. Ferner ist es bei der Partitionierung wichtig, daß zwischen den einzelnen Partitionen möglichst nur eine geringe Anzahl von Verbindungen

besteht, da bei den bekannten Verfahren zur
"parallelisierten" Schaltungssimulation die benötigte Über-
tragungskapazität, d.h. die erforderliche Kommunikation zw-
schen den Rechner bzw. Prozessoren, die jeweils eine Partiti-
on bearbeiten, erheblich steigt mit steigender Anzahl von be-
stehenden Verbindungen zwischen den Partitionen.

Eine Sprache zur textuellen Beschreibung einer elektrischen
Schaltung, welche durch einen Rechner verarbeitet werden
kann, ist aus dem Dokument [1] als Schaltungssimulationsspra-
che SPICE bekannt.

In den Dokumenten [2] und [3] ist beschrieben, wie eine par-
allelisierte Schaltungssimulation durchgeführt werden kann,
vorausgesetzt, es liegt eine beliebige Anzahl von Partitionen
der elektrischen Schaltung vor. Die Art und Weise, wie die
Partitionen ermittelt werden können, wird in diesen Dokumen-
ten nicht beschrieben.

Aus dem Dokument [4] ist ein globales Partitionierungsverfah-
ren auf der sogenannten Logikebene, welche auch als Gatter-
ebene bezeichnet wird, bekannt.

Auf der Logikebene werden diskrete Ereignisse beschrieben,
mit denen jedoch keine stetigen dynamischen Eigenschaften ei-
ner elektrischen Schaltung auf der sogenannten Transistorebe-
ne, also auf der eigentlich physikalischen Ebene der elektri-
schen Schaltung beschrieben werden können.

Somit sind die Ergebnisse einer Schaltungssimulation, die auf
Logikebene erfolgt, für gewisse Anwendungen unsicher und un-
genau, da auch ein genauer Zeitverlauf der elektrischen Si-
gnale, der in der elektrischen Schaltung auftritt, nicht be-
rücksichtigt werden kann.

Ferner ist eine Beschreibung der einzelnen Gatter für die Schaltungssimulation erforderlich, die erst ermittelt werden muß, bevor das Verfahren durchgeführt werden kann.

- 5 Eine Übersicht über verschiedene Partitionierungsvorschriften ist in [5] zu finden.

Ein parallelisiertes Verfahren zum Clustern einer elektrischen Schaltung nach dem sogenannten Bottom-Up-Prinzip ist
10 aus [6] bekannt.

Somit liegt dem Verfahren das Problem zugrunde, ein Verfahren zur Partitionierung einer elektrischen Schaltung anzugeben, welches direkt die Elemente der elektrischen Schaltung auf
15 Transistorebene berücksichtigt.

Das Problem wird durch das Verfahren gemäß Patentanspruch 1 gelöst.

- 20 Bei dem Verfahren wird die elektrische Schaltung auf einen Graphen abgebildet, der die gleiche Topologie wie die elektrische Schaltung aufweist. Die Kanten des Graphen werden mit Gewichtswerten gewichtet, die einen ungefähr erforderlichen Rechenaufwand zur Ermittlung elektrischer Beschreibungsgrößen
25 für das jeweils durch die Kante repräsentierte Element der elektrischen Schaltung beschreiben. Eine Partition wird für die elektrische Schaltung in dem Graphen gebildet, indem zu Beginn des Verfahrens solange miteinander gekoppelte Kanten zu der Partition zusammengefaßt werden, bis die Summe der Gewichts-
30 werts der zusammengefaßten Kanten größer ist als ein erster vorgebbbarer Schwellenwert. Ist der erste Schwellenwert erreicht, wird jeweils die Partition dann um weitere restliche Kanten erweitert, wenn die Summe der Gewichtswerte aller Kanten, inklusive der neu eventuell hinzuzufügenden Kanten
35 kleiner ist als ein vorgebbbarer zweiter Schwellenwert und wenn die Anzahl von Kanten der Partition, die mit Knoten ver-

bunden sind, die nicht innerhalb der Partition liegen, durch Hinzunahme der mindestens einen neuen Kante verringert wird.

Das Verfahren weist einige erhebliche Vorteile gegenüber dem
5 aus dem Dokument [4] bekannten Verfahren auf.

Da das Verfahren direkt auf der Transistorebene der elektrischen Schaltung arbeitet, sind die durch das Verfahren erzielten Ergebnisse bei einer späteren Schaltungssimulation
10 unter Verwendung der auf die erfindungsgemäß ermittelten Partitionen erheblich genauer und verlässlicher.

Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

15

Es ist vorteilhaft, für vorgebbare Elemente der elektrischen Schaltung zu Beginn des Verfahrens festzulegen, daß die Elemente gemeinsam in eine Partition gruppiert werden. Durch diese Weiterbildung des Verfahrens wird es möglich sicherzustellen, daß beispielsweise bei gesteuerten Quellen sowohl
20 die steuernden Elemente als auch die gesteuerte Quelle gemeinsam in einer Partition bearbeitet werden können. Ebenso ist es durch diese Weiterbildung möglich, Verbindungsschleifen in der elektrischen Schaltung, die lediglich mindestens
25 eine Spannungsquelle und/oder mindestens eine Induktivität aufweisen, ebenso gemeinsam in einer Partition anzuordnen. Ferner wird es durch diese Vorgehensweise möglich, möglicherweise durch die Partitionierung entstehende Kurzschlüsse zu vermeiden.

30

Durch die Weiterbildung des Verfahrens, daß mehreren Kanten des Graphen ein gemeinsamer Gewichtswert zugeordnet wird, wird die Durchführung des Verfahrens durch einen Rechner weiter beschleunigt, da bei dieser Weiterbildung eine geringere
35 Anzahl von Gewichtswerten im Rahmen des Verfahrens berücksichtigt werden müssen.

Ferner ist es vorteilhaft, mehrere Partitionen für die elektrische Schaltung zu bilden, für die Partitionen die entsprechenden Graphen der Partitionen wieder auf die elektrische Schaltung abzubilden und die entstehenden Partitionen der elektrischen Schaltung parallel auf verschiedenen Rechnern bzw. Prozessoren zu verarbeiten. Durch diese Parallelisierung wird eine Schaltungssimulation einer sehr großen Schaltung erheblich schneller durchführbar, als es bei einer rein „seriellen“ Schaltungssimulation möglich ist.

10

Ferner ist es vorteilhaft, bei der parallelisierten Schaltungssimulation die Verarbeitung der einzelnen Partitionen zentral zu steuern. Auf diese Weise wird eine geregelte Schaltungssimulation mit möglichst geringem Kommunikationsaufwand realisiert.

15

Ferner ist es vorteilhaft, den einzelnen Anschlüssen der Partitionen, die mit Komponenten, die nicht in der Partition liegen, gekoppelt sind, zusätzlich mit einer Spannungsquelle und einem Widerstand zu versehen, wobei der Spannungsquelle jeweils von einer zentralen Steuereinheit, die die parallelisierte Bearbeitung der Partitionen steuert, die elektrischen Randbeschreibungsgrößen zugewiesen werden. Durch den Widerstand, der jeweils in den Anschlüssen vorgesehen ist, wird die Konvergenz der Schaltungssimulation während der parallelisierten Schaltungssimulation gewährleistet, deren Wert durch die Steuereinheit dynamisch angepaßt wird.

20

25

In den Figuren ist ein Ausführungsbeispiel des Verfahrens dargestellt, welches im weiteren näher erläutert wird.

30

Es zeigen

Fig. 1 ein Ablaufdiagramm, in dem die einzelnen Verfahrensschritte des Verfahrens dargestellt sind;

35

Fig. 2 ein Skizze, in der verschiedene Weiterbildungen

des Verfahrens dargestellt sind.

Elektrische Schaltungen, die eine sehr große Anzahl von Elementen aufweisen, können durch Aufteilung der Elemente, d.h. Partitionierung der Elemente in eine beliebige Anzahl von Partitionen und eine Bearbeitung der einzelnen Partitionen auf verschiedenen Rechnern bzw. Prozessoren, die eine Schaltungssimulation durchführen, parallelisiert werden. Damit kann die Durchführung der gesamten Schaltungssimulation erheblich beschleunigt werden.

Damit jedoch die Parallelisierung möglichst optimal ausgestaltet ist, müssen die einzelnen Partitionen sorgfältig bestimmt werden.

Dabei ist es wichtig, zum einen auf eine ungefähr einheitliche Größe der Partition zu achten und zum anderen darauf zu achten, daß die einzelnen Partitionen keine zu große Anzahl von Anschlüssen "nach außen", beispielsweise Kopplungen mit anderen, nicht in der Partition liegenden Elementen aufweisen.

Elektrische Schaltungen liegen zur Bearbeitung im Rahmen einer Schaltungssimulation durch einen Rechner üblicherweise in einer Schaltungsbeschreibungssprache vor 101, beispielsweise in der sog. Sprache SPICE, welche in dem Dokument [1] beschrieben ist.

Das Verfahren ist jedoch in keinsten Weise auf eine Beschreibung der elektrischen Schaltung in einer Schaltungsbeschreibungssprache und ebenso wenig auf die Verwendung der speziellen Schaltungsbeschreibungssprache SPICE beschränkt.

In einem ersten Verfahrensschritt 102 wird die elektrische Schaltung auf einem Graphen abgebildet, der die gleiche Topologie aufweist wie die elektrische Schaltung. Dies erfolgt beispielsweise ausgehend von der in der Schaltungsbeschrei-

5 bungssprache SPICE vorliegenden elektrischen Schaltung. Der Graph weist entsprechend der Topologie der elektrischen Schaltung die entsprechenden Knoten auf. Die einzelnen Elemente der elektrischen Schaltung werden durch Kanten zwischen den Knoten des Graphen repräsentiert.

10 In einer Weiterbildung des Verfahrens ist es vorteilhaft, zu Beginn des Verfahrens einzelne Elemente der elektrischen Schaltung zu markieren, d.h. für die entsprechenden markierten Elemente festzulegen, daß die markierten Elemente im weiteren Verfahren jeweils gemeinsam einer Partition zugeordnet werden. Es können verschiedene Markierungen verschiedene Elemente zu unterschiedlichen Partitionen zuweisen. Es ist auch vorgesehen, Elemente lediglich in einer Weise zu markieren, 15 die derart von dem Rechner, der das Verfahren durchführt, interpretiert wird, daß die jeweils paarweisen Elemente einer Partition zugeordnet werden.

20 Dabei ist es vorteilhaft, beispielsweise folgende Spezialfälle einer elektrischen Schaltung zu berücksichtigen. Enthält eine elektrische Schaltung gesteuerte Quellen, beispielsweise gesteuerte Stromquellen oder gesteuerte Spannungsquellen, so ist es vorteilhaft, daß sowohl die steuernden Elemente als auch die gesteuerte Quelle für die spätere Schaltungssimulation 25 gemeinsam in einer Partition enthalten sind.

30 Ferner ist es vorteilhaft, gekoppelte Induktivitäten ebenso jeweils einer gemeinsamen Partition zuzuordnen. Auch ist es wichtig, in einer Weiterbildung des Verfahrens zu berücksichtigen, daß durch die Partitionierung und deren algorithmische Verarbeitung mittels eines Rechners keinerlei Kurzschlüsse auftreten dürfen.

35 In einem weiteren Schritt 103 werden den Kanten Gewichtswerte G zugeordnet. Mit den Gewichtswerten G wird beschrieben, welcher Rechenaufwand ungefähr zur Ermittlung von elektrischen Beschreibungsgrößen für das jeweilige Element der elektri-

schen Schaltung, welches durch die Kante repräsentiert wird, der der Gewichtswert G jeweils zugewiesen wird, zu erwarten ist.

- 5 Ein Maß für den benötigten Rechenaufwand ist beispielsweise in der Anzahl der Codezeilen zu sehen, der zur Ermittlung der elektrischen Beschreibungsgrößen für das jeweils spezifische Element im Rahmen der Schaltungssimulation benötigt wird. Als groben Maßstab ist hier anzumerken, daß die Ermittlung der
- 10 elektrischen Beschreibungsgrößen für Transistoren erheblich größer ist als der Aufwand zur Ermittlung der elektrischen Beschreibungsgrößen für einen elektrischen Widerstand oder auch für eine Kapazität. Die Wahl der Gewichtswerte G ist jedoch äußerst unkritisch und stellt lediglich ein ungefähres
- 15 Größenverhältnis des benötigten Rechenaufwandes dar. Es ist sogar ausreichend, beispielsweise einer Kante, die einen Transistor repräsentiert, einen hohen Gewichtswert G , z. B. den Gewichtswert $G = 300$ zuzuordnen und den Kanten, die einen Widerstand oder eine Kapazität repräsentieren, einen kleinen
- 20 Gewichtswert, beispielsweise einen Gewichtswert $G = 1$ oder sogar einen Gewichtswert $G = 0$.

Unter elektrischen Beschreibungsgrößen sind in diesem Zusammenhang z. B. die entsprechenden Ströme und Spannungen eines Elementes der elektrischen Schaltung zu verstehen.

25

Eine im Anschluß durchgeführte erste Iterationsschleife enthält folgende Verfahrensschritte.

- 30 Es wird zu Beginn der ersten Iterationsschleife eine beliebige Kante des Graphen ausgewählt 104. Es ist jedoch ebenso in einer Variante des Verfahrens vorgesehen, in diesem Verfahrensschritt eine beliebige Anzahl miteinander gekoppelter Kanten des Graphen auszuwählen, wodurch die Anzahl der benötigten Iterationen in der ersten Iterationsschleife 105, 106,
- 35 107 erheblich reduziert wird. Zwei im weiteren beschriebene Verfahrensschritte 106, 107 werden ausgehend von der ausge-

wählten Kante bzw. ausgehend von der Menge ausgewählter Kanten solange durchgeführt, bis ein erster Summenwert SW1 größer ist als ein frei vorgebbbarer ersten Schwellenwert S1.

5 Es wird für jeweils mindestens eine neue Kante, welche in der Menge berücksichtigter Kanten aus der letzten Iteration nicht
enthalten war bzw. die zu Beginn der ersten Iterationsschleife
in der ausgewählten Menge von Kanten nicht enthalten war,
der erste Summenwert SW1 gebildet. Der erste Summenwert SW1
10 wird beispielsweise durch Summation der Gewichtswerte G all
der Kanten gebildet, die zur Bildung des ersten Summenwerts
SW1 herangezogen werden 106.

Ist der erste Summenwert SW1 nicht größer als der erste
15 Schwellenwert S1, ergibt sich eine Partition der elektrischen
Schaltung aus den Kanten, die zur Bildung des ersten Summen-
werts SW1 herangezogen wurden 107 und die Verfahrensschritte
der ersten Iterationsschleife werden erneut, nunmehr mit der
„neuen“ Partition, durchgeführt.

20 Ist jedoch der erste Summenwert SW1 größer als der erste
Schwellenwert S1, so wird die in dem zeitlich vorangegangenen
Iterationsschritt gebildete Partition verwendet und es werden
für die gebildete Partition Verfahrensschritte einer weite-
25 ren, zweiten Iterationsschleife durchgeführt.

Ausgehend von der jeweiligen Partition werden in jedem Itera-
tionsschritt der zweiten Iterationsschleife folgende Verfah-
rensschritte für mindestens einen Teil von restlichen Kanten
30 der elektrischen Schaltung durchgeführt 108. Unter einer
restlichen Kanten ist in diesem Zusammenhang eine Kante zu
verstehen, die nicht schon in der Partition selbst enthalten
ist, und die mit einer Kante, welche in der Partition enthal-
ten ist, gekoppelt ist, beispielsweise über einen Knoten in
35 der Partition.

Es wird aus den Gewichtswerten der Partition und den Gewichtswerten von mindestens einer zusätzlichen restlichen Kante ein zweiter Summenwert SW2 gebildet 109. Dies erfolgt beispielsweise wiederum durch einfache Summation über die den
5 entsprechenden Kanten zugeordneten Gewichtswerte G.

Nunmehr wird überprüft, ob der gebildete zweite Summenwert SW2 größer ist als ein frei vorgebbbarer zweiter Schwellenwert S2, der größer ist als der erste Schwellenwert S1 110.

10

Ist der zweite Summenwert SW2 größer als der zweite Schwellenwert S2, so bedeutet dies, daß die Partition größer ist als ein vorgebbbarer tolerierter Bereich. Durch den ersten Schwellenwert S1 und dem zweiten Schwellenwert S2 wird somit
15 ein Toleranzbereich für die Größe bzw. für den maximalen tolerierbaren benötigten Bearbeitungsaufwand bei der Schaltungssimulation der jeweiligen Partition beschrieben.

Ist also der zweite Summenwert SW2 größer als der zweite
20 Schwellenwert S2, so wird die entsprechende Kante nicht der Partition hinzugefügt 111.

Ist jedoch der zweite Summenwert SW2 nicht größer als der zweite Schwellenwert S2, so wird ferner für die mindestens
25 eine restliche Kante überprüft, ob eine Anzahl von Kanten, die bei der Bildung des zweiten Summenwerts SW2 berücksichtigt wurden, welche mit Kanten gekoppelt sind, die bei der Bildung des zweiten Summenwerts SW2 nicht berücksichtigt wurden, kleiner ist als eine Anzahl von Kanten der Partition,
30 die mit den restlichen Kanten gekoppelt sind 112.

Dieser Vergleich entspricht anschaulich der Anzahl von "Schnittstellen" jeder Partition mit einer anderen Partition bzw. mit einer im weiteren beschriebenen Zentralsteuereinheit
35 oder auch mit einem weiteren, nicht in einer Partition enthaltenen Element der elektrischen Schaltung.

Wird also, anschaulich die Zahl der Anschlüsse für jede Partition durch Hinzufügen der mindestens einen restlichen Kante größer als die schon zuvor bestehende Anzahl von Anschlüssen der Partition, so wird die entsprechende Kante nicht hinzugefügt 113. Ist jedoch die neue Anzahl der Anschlüsse reduziert worden, so wird die entsprechende restliche Kante der Partition hinzugefügt 114. Ferner wird für diesen Fall der erste Summenwert SW1 für die nächste Iteration der zweiten Iterationsschleife mit dem Wert des zweiten Summenwertes SW2 belegt.

10

Die zweite Iterationsschleife wird für eine beliebig vorgebbare Anzahl von restlichen Kanten durchgeführt. Es ist in einer Weiterbildung des Verfahrens ebenso vorgesehen, als Abbruchskriterium für die zweite Iterationsschleife einfach die Information zu verwenden, ob alle restlichen Kanten in der zweiten Iterationsschleife berücksichtigt wurden. Ist dies der Fall, so wird bei dieser Weiterbildung die zweite Iterationsschleife beendet. Nach Abbruch bzw. Beendigung der zweiten Iterationsschleife wird die Partition, die in der letzten Iteration der zweiten Iterationsschleife gebildet wurde, als Partition der elektrischen Schaltung verwendet 116.

20

Unter Verwendung der ursprünglichen Beschreibung der elektrischen Schaltung, beispielsweise in der Schaltungsbeschreibungssprache SPICE wird die Partition in eine für den Rechner weiter zu verarbeitende Syntax, beispielsweise wiederum in die Schaltungsbeschreibungssprache SPICE abgebildet. Bei dieser Abbildung wird die Information der jeweiligen Partition für das jeweilige Element der elektrischen Schaltung beispielsweise durch Markierung des jeweiligen Elementes berücksichtigt.

25

30

Durch diese Rückabbildung 201 (vgl. Figur 2) entsteht also wiederum für den Spezialfall der Verwendung der Schaltungsbeschreibungssprache SPICE eine Liste mit den Schaltungselementen der elektrischen Schaltung sowie mit den Kopplungen und

35

der jeweiligen Angabe der Partition, der das jeweilige Element zugeordnet wurde.

5 In einer Weiterbildung des Verfahrens ist es vorteilhaft, dieses Verfahren für eine beliebige Zahl von Partitionen durchzuführen, d.h. die elektrische Schaltung wird in eine beliebige Anzahl von Partitionen unterteilt. Bei dieser Weiterbildung entstehen entsprechend der Anzahl gebildeter Partitionen partitionsspezifische Listen mit den Elementen der elektrischen Schaltung in der Schaltungsbeschreibungssprache SPICE 202. Eine in einer Weiterbildung des Verfahrens vorteilhafte Parallelisierung der Schaltungssimulation der elektrischen Schaltung wird nunmehr dadurch erreicht, daß die elektrischen Beschreibungsgrößen für die Elemente der elektrischen Schaltung für jede Partition separat ermittelt werden, wobei mindestens ein Teil der Partitionen parallel auf mehreren Rechnern und/oder Prozessoren bearbeitet werden kann. Dies entspricht einer Parallelisierung der Schaltungssimulation.

20

In einer Weiterbildung des Verfahrens ist es ferner vorgesehen, mehreren Kanten des Graphen einen gemeinsamen Gewichtungswert zuzuordnen. Durch diese Vorgehensweise wird der benötigte Rechenaufwand reduziert.

25

Verfahren zur parallelisierten Schaltungssimulation auf verteilten Prozessoren, bzw. verteilten Rechnern sind beispielsweise aus dem Dokument [2] und [3] bekannt. Diese können ohne Einschränkung auf die durch das Verfahren gebildeten Partitionen angewendet werden.

30

Ferner ist es in einer Weiterbildung des Verfahrens vorgesehen, die parallele Verarbeitung der Partitionen über eine zentrale Steuereinheit ZS zentral zu steuern. Dies bedeutet beispielsweise, daß die Kommunikation der einzelnen Partitionen in dem Verfahren der Schaltungssimulation, wie sie in den Dokumenten [2] und [3] beschrieben ist, d.h. die Über-

35

mittlung von Daten lediglich zwischen der zentralen Steuereinheit ZS und dem Teil der Partitionen erfolgt, der zentral gesteuert wird.

- 5 In Fig. 2 ist die parallelisierte Verarbeitung durch eine Vielzahl von SPICE-Dateien SPICE.1, SPICE.2, SPICE.3 bis SPICE.N symbolisch dargestellt. In diesen SPICE-Dateien sind die einzelnen Beschreibungen der Partitionen in der Schaltungsbeschreibungssprache SPICE enthalten.

10

Es wird für die jeweilige Partition eine Schaltungssimulation durchgeführt 203, beispielsweise zentral gesteuert von der zentralen Steuereinheit ZS.

- 15 Ferner ist es in einer Weiterbildung des Verfahrens vorgesehen, mindestens einen Teil der Anschlüsse der jeweiligen Partition, welche im Rahmen der parallelisierten Schaltungssimulation bearbeitet wird, zusätzlich eine Spannungsquelle zuzuweisen, welcher jeweils im Rahmen der bekannten Verfahren von
20 der zentralen Steuereinheit ZS ein entsprechender Wert zugewiesen wird. Zur Gewährleistung der Konvergenz des iterativen Verfahrens aus dem Dokument [2] und [3] ist es vorteilhaft, zumindest bei einem Teil der Anschlüsse der jeweiligen Partitionen zusätzlich einen Widerstand vorzusehen, dessen Wert
25 von der Steuereinheit ZS dynamisch angepaßt wird.

Im Rahmen dieses Dokumentes wurden folgende Veröffentlichungen zitiert:

- 5 [1] I. Hoefer, H. Nielinger, SPICE Analyseprogramm für elektronische Schaltungen, Springer Verlag, Berlin, B, ISBN 3-540-15160-5, S. 7 bis 22, 1985
- 10 [2] U. Wever, Q. Zheng et al, Domain Decomposition Methods for Circuit Simulation, Proceedings of the 8th Workshop on Parallel and Distributed Simulation, PADS '94 Edinburgh, Scotland, UK, ZS, S. 183-186, Juli 1994
- 15 [3] U. Wever & Q. Zheng, Parallel Transient Analysis for Circuit Simulation, Proceedings of the 29th Annual Hawaii International Conference on System Sciences, ZS, S. 442 bis 447, 1996
- 20 [4] B. Riess et al, Partitioning Very Large Circuits Using Analytical Placement Techniques, Proceedings of the 31st ACM/IEEE Design Automation Conference, S. 646 bis 651, 1994
- 25 [5] F. Johannes, Partitioning of VLSI Circuits and Systems, 33rd Design Automation Conference, 3. - 7. Juni, Las Vegas, S. 83 - 87, 1996
- 30 [6] J. Cong et al, A Parallel Bottom-Up Clustering Algorithm with Applications to Circuit Partitioning in VLSI Design, In: 30rd Design Automation Conference, 14. - 18. Juni, Dallas, S. 755 - 760, 1993

Patentansprüche

1. Rechnergestütztes Verfahren zur Partitionierung einer elektrischen Schaltung,
- 5 - bei dem die elektrische Schaltung auf einen Graphen abgebildet wird, der die gleiche Topologie aufweist wie die elektrische Schaltung,
- bei dem Kanten des Graphen Gewichtswerte zugeordnet werden, mit denen ein erforderlicher Rechenaufwand zur Ermittlung von
- 10 elektrischen Beschreibungsgrößen für Elemente der elektrischen Schaltung, die durch die jeweilige Kante repräsentiert werden, beschrieben wird,
- bei dem für miteinander gekoppelte Kanten ein erster Summenwert der Gewichtswerte der Kanten ermittelt wird, und in
- 15 weiteren Iterationen jeweils der erste Summenwert gebildet wird unter Hinzufügen mindestens einer weiteren Kante, bis der jeweils ermittelte erste Summenwert größer ist als ein vorgebbare erster Schwellenwert,
- bei dem durch die bei der Bildung des ersten Summenwerts
- 20 berücksichtigten Kanten eine Partition der elektrischen Schaltung gebildet wird,
- bei dem für mindestens einen Teil der restlichen Kanten, die nicht in der Partition liegen und die mit mindestens einer Kante der Partition gekoppelt sind, folgende Schritte
- 25 durchgeführt werden:
- es wird ein zweiter Summenwert bestimmt, der sich aus der Summe des ersten Summenwerts und mindestens einem Gewichtswert mindestens einer restlichen Kante ergibt,
- ist der zweite Summenwert kleiner als ein vorgebbare
- 30 zweiter Schwellenwert, und
- ist eine Anzahl von Kanten, die bei der Bildung des zweiten Summenwerts berücksichtigt wurden, die mit Kanten gekoppelt sind, die bei der Bildung des zweiten Summenwerts nicht berücksichtigt wurden, kleiner als eine Anzahl von Kanten der
- 35 Partition, die mit den restlichen Kanten gekoppelt sind, dann
- wird die restliche Kante der Partition zugeordnet und dem ersten Summenwert wird der zweite Summenwert zugeordnet, und

- bei dem die Partition durch die bei der Bildung des zweiten Summenwerts berücksichtigten Kanten gebildet wird.

2. Verfahren nach Anspruch 1,

- 5 bei dem zu Beginn des Verfahrens eine Gruppierung von Elementen der elektrischen Schaltung durchgeführt wird, für die jeweils festgelegt wird, daß diese Elemente gemeinsam einer Partition zugeordnet werden.

10 3. Verfahren nach Anspruch 2,

bei dem bei der Gruppierung der Elemente der elektrischen Schaltung mindestens eine der folgenden Vorschriften angewendet wird:

- 15 - Elemente einer gesteuerten Quelle, mindestens ein steuerndes Element und die gesteuerte Quelle, werden in gemeinsam einer Partition zugeordnet,
- Verbindungsschleifen in der elektrischen Schaltung, die nur mindestens eine Spannungsquelle und mindestens eine Gegeninduktivität enthalten, werden in gemeinsam einer Partition zugeordnet,
20 - es dürfen keine Kurzschlüsse durch die Partitionierung entstehen.

4. Verfahren nach einem der Ansprüche 1 bis 3,

- 25 bei dem mehreren Kanten des Graphen ein gemeinsamer Gewichtungswert zugeordnet wird.

5. Verfahren nach einem der Ansprüche 1 bis 4,

- 30 bei dem der Graph der Partition abgebildet wird auf die elektrische Schaltung, wobei die Partition die Elemente der elektrischen Schaltung aufweist entsprechend der durchgeführten Partitionierung.

6. Verfahren nach einem der Ansprüche 1 bis 5,

- 35 - bei dem mehrere Partitionen durch mehrfache Durchführung des Verfahrens gebildet werden, und

- bei dem die elektrischen Beschreibungsgrößen für die Elemente der elektrischen Schaltung für jede Partition ermittelt werden, wobei mindestens ein Teil der Partitionen parallel auf mehreren Rechnern und/oder Prozessoren bearbeitet wird.

5

7. Verfahren nach Anspruch 6,
bei dem die parallele Verarbeitung der Partitionen zentral gesteuert wird.

10

8. Verfahren nach Anspruch 7,
bei dem mindestens ein Teil der Partitionen in einer Weise zentral gesteuert werden, daß alle Anschlüsse der jeweiligen Partition nur mit einer zentralen Steuereinheit gekoppelt sind und somit eine Übermittlung von Daten nur zwischen der zentralen Steuereinheit und mindestens dem Teil der Partitionen erfolgt.

15

9. Verfahren nach Anspruch 8,
bei dem mindestens einem Teil der Anschlüsse der jeweiligen Partition zusätzlich eine Spannungsquelle zugewiesen wird, deren Wert während der Ermittlung der elektrischen Beschreibungsgrößen von der zentralen Steuereinheit vorgegeben wird.

20

10. Verfahren nach Anspruch 9,
bei dem mindestens einem Teil der Anschlüsse der jeweiligen Partition zusätzlich ein Widerstand zugewiesen wird.

25

1/2

FIG 1

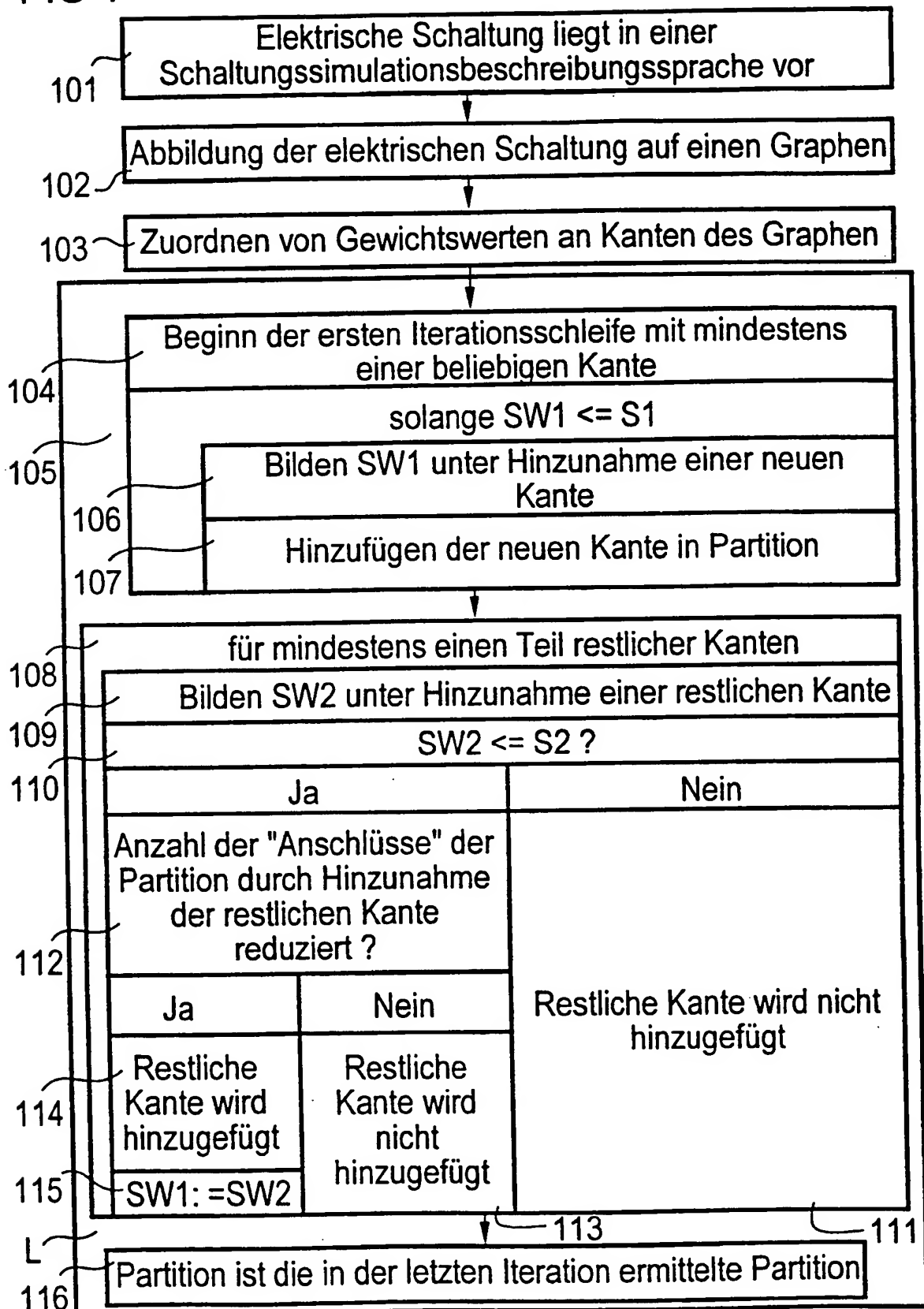
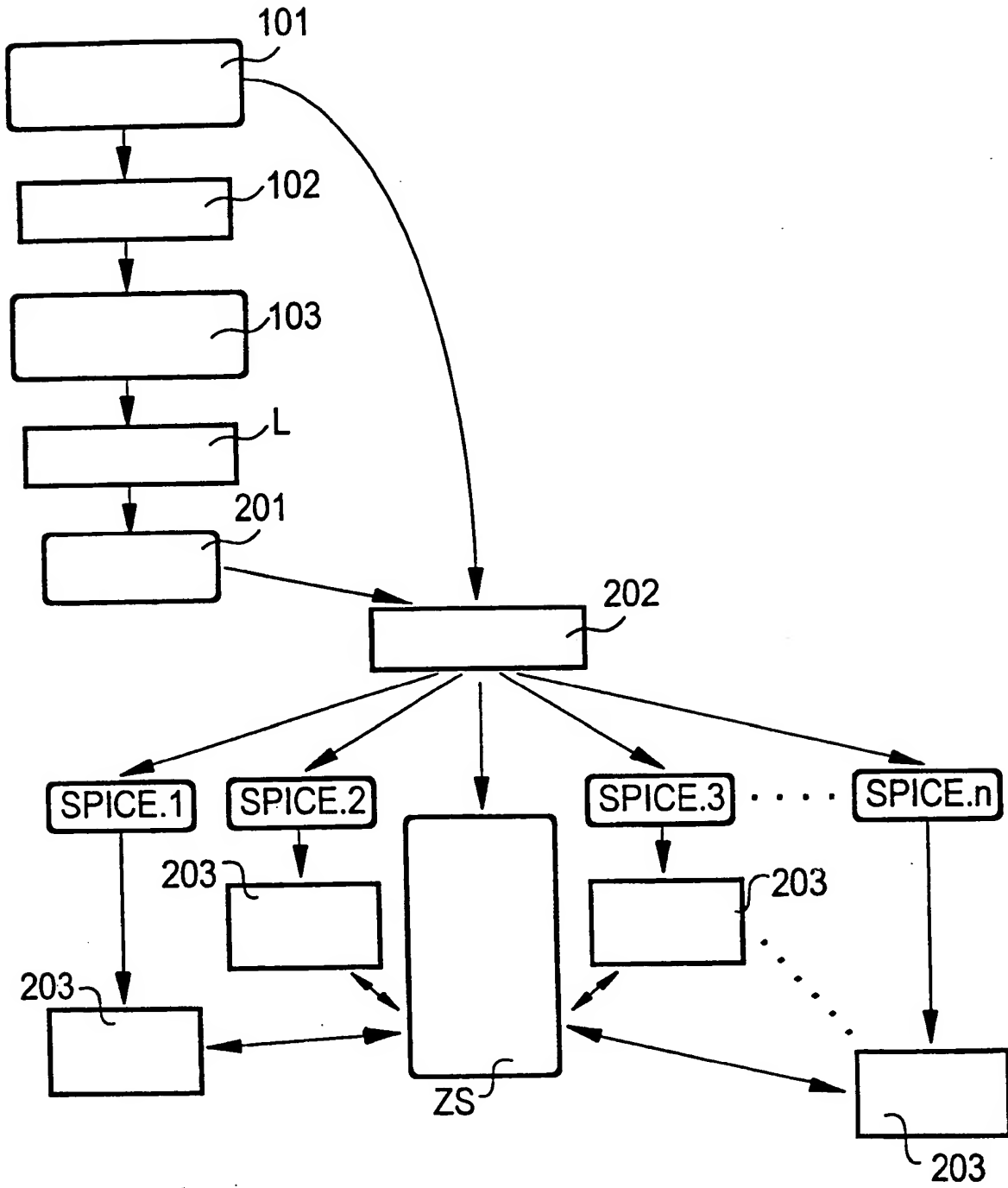


FIG 2



A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 G06F17/60

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	B. RIESS ET AL: "Partitioning Very Large Circuits Using Analytical Placement Techniques" PROCEEDINGS OF THE 31ST ACM/IEEE DESIGN AUTOMATION CONFERENCE, 6 June 1994, pages 646-651, XP000489051 cited in the application see the whole document ---	1-10
Y	T. KAGE ET AL: "A Circuit Partitioning Approach for Parallel Circuit Simulation" IEICE TRANSACTIONS ON FUNDAMENTALS OF ELECTRONICS, COMMUNICATIONS AND COMPUTER SCIENCES, vol. E77-A, no. 3, March 1994, TOKYO, JP, pages 461-465, XP000450882 see the whole document --- -/--	1-10



Further documents are listed in the continuation of box C.



Patent family members are listed in annex.

* Special categories of cited documents:

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

9 March 1998

Date of mailing of the international search report

27.03.98

Name and mailing address of the ISA
European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Abram, R

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>G.-G. HUNG ET AL: "Improving the Performance of Parallel Relaxation-Based Circuit Simulators"</p> <p>IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, vol. 12, no. 11, November 1993, NEW YORK, US,</p> <p>pages 1762-1774, XP000450933</p> <p>see section 3.3</p> <p>---</p>	1-10
A	<p>J. LI ET AL: "New Spectral Linear Placement and Clustering Approach"</p> <p>33RD DESIGN AUTOMATION CONFERENCE, 3 - 7 July 1996, LAS VEGAS, NV, US,</p> <p>pages 88-93, XP002058127</p> <p>see the whole document</p> <p>---</p>	1-10
A	<p>F. M. JOHANNES: "Partitioning of VLSI Circuits and Systems"</p> <p>33RD DESIGN AUTOMATION CONFERENCE, 3 - 7 July 1996, LAS VEGAS, NV, US,</p> <p>pages 83-87, XP002058192</p> <p>cited in the application</p> <p>see the whole document</p> <p>-----</p>	1-10

A. KLASSIFIZIERUNG DES ANMELDUNGSGESTANDES
IPK 6 G06F17/60

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 6 G06F

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
Y	B. RIESS ET AL: "Partitioning Very Large Circuits Using Analytical Placement Techniques" PROCEEDINGS OF THE 31ST ACM/IEEE DESIGN AUTOMATION CONFERENCE, 6. Juni 1994, Seiten 646-651, XP000489051 in der Anmeldung erwähnt siehe das ganze Dokument ---	1-10
Y	T. KAGE ET AL: "A Circuit Partitioning Approach for Parallel Circuit Simulation" IEICE TRANSACTIONS ON FUNDAMENTALS OF ELECTRONICS, COMMUNICATIONS AND COMPUTER SCIENCES, Bd. E77-A, Nr. 3, März 1994, TOKYO, JP, Seiten 461-465, XP000450882 siehe das ganze Dokument ---	1-10

-/--



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

- *A* Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
- *E* Älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist
- *L* Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
- *O* Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
- *P* Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

9. März 1998

Absendedatum des internationalen Recherchenberichts

27. 03.98

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Abram, R

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	G.-G. HUNG ET AL: "Improving the Performance of Parallel Relaxation-Based Circuit Simulators" IEEE TRANSACTIONS ON COMPUTER-AIDED DESIGN OF INTEGRATED CIRCUITS AND SYSTEMS, Bd. 12, Nr. 11, November 1993, NEW YORK, US, Seiten 1762-1774, XP000450933 siehe Sektion 3.3 ---	1-10
A	J. LI ET AL: "New Spectral Linear Placement and Clustering Approach" 33RD DESIGN AUTOMATION CONFERENCE, 3. - 7.Juli 1996, LAS VEGAS, NV, US, Seiten 88-93, XP002058127 siehe das ganze Dokument ---	1-10
A	F. M. JOHANNES: "Partitioning of VLSI Circuits and Systems" 33RD DESIGN AUTOMATION CONFERENCE, 3. - 7.Juli 1996, LAS VEGAS, NV, US, Seiten 83-87, XP002058192 in der Anmeldung erwähnt siehe das ganze Dokument -----	1-10